

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-139195
(43)Date of publication of application : 31.05.1996

(51)Int.Cl. H01L 21/82

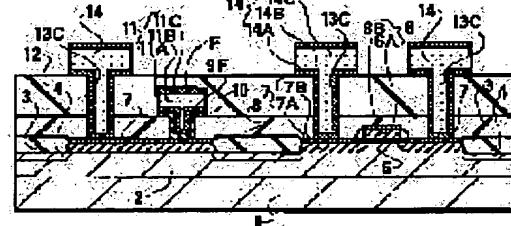
(21)Application number : 06-269681 (71)Applicant : KAWASAKI STEEL CORP
(22)Date of filing : 02.11.1994 (72)Inventor : JINRIKI HIROSHI
TAMURA YOSHIMITSU
OOTA TOMOHIRO

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To delete the number of manufacturing steps in a method for manufacturing a semiconductor integrated circuit device having a MISFET and an anti-fuse element.

CONSTITUTION: A method for manufacturing a semiconductor integrated circuit device having a MISFET and an anti-fuse element has a salicide structure in the MISFET. The step of forming a lower layer electrode 7 of the anti-fuse element F is formed in the same step as the step of forming the source region 7 and the drain region 7 of the MISFET. That is, the step of forming the lower layer electrode 7 of the element F can be used also in the step of forming the source and drain regions 7. Further, the electrode 7 of the element F and the gate electrode 6 of the MISFET are formed in the same step.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-139195

(43)公開日 平成8年(1996)5月31日

(51)Int.Cl.⁶
H 01 L 21/82

識別記号 庁内整理番号

F I

技術表示箇所

H 01 L 21/82

F

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21)出願番号 特願平6-269681

(22)出願日 平成6年(1994)11月2日

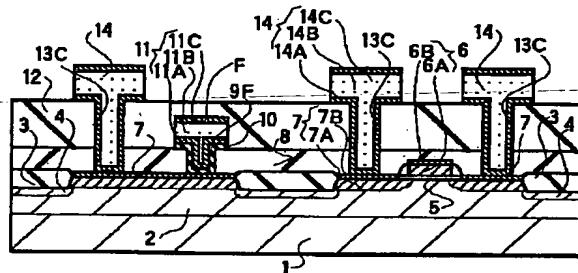
(71)出願人 000001258
川崎製鉄株式会社
兵庫県神戸市中央区北本町通1丁目1番28号
(72)発明者 神力 博
千葉県千葉市中央区川崎町1番地 川崎製鉄株式会社ハイテク研究所内
(72)発明者 田村 興司光
千葉県千葉市中央区川崎町1番地 川崎製鉄株式会社ハイテク研究所内
(72)発明者 太田 与洋
千葉県千葉市中央区川崎町1番地 川崎製鉄株式会社ハイテク研究所内
(74)代理人 弁理士 吉田 研二 (外2名)

(54)【発明の名称】 半導体集積回路装置の製造方法

(57)【要約】

【目的】 MISFET及びアンチヒューズ素子を有する半導体集積回路装置の製造方法において、製造工程数を削減する。

【構成】 MISFET及びアンチヒューズ素子を有する半導体集積回路装置の製造方法において、MISFETにサリサイド構造が採用され、アンチヒューズ素子Fの下層電極7を形成する工程が前記MISFETのソース領域7及びドレイン領域7を形成する工程と同一製造工程で形成される。つまり、アンチヒューズ素子Fの下層電極7を形成する工程がソース領域7及びドレイン領域7を形成する工程で兼用できる。さらに、アンチヒューズ素子Fの下層電極7とMISFETのゲート電極6とが同一製造工程で形成される。



【特許請求の範囲】

【請求項1】 基板上にサリサイド構造を有するMISFETのソース領域及びドレイン領域、又はゲート電極を形成するとともに同一製造工程で複数のアンチヒューズ素子の下層電極を形成する工程と、前記ソース領域及びドレイン領域、又はゲート電極と下層電極とを覆う層間絶縁膜を形成する工程と、前記ソース領域上、ドレイン領域上、又はゲート電極上の層間絶縁膜に配線用接続孔と前記下層電極上の層間絶縁膜にアンチヒューズ用接続孔を形成する工程と、少なくとも前記アンチヒューズ用接続孔内の下層電極上にアンチヒューズ用絶縁膜を形成する工程と、前記層間絶縁膜上に前記配線用接続孔を通して前記ソース領域、ドレイン領域、又はゲート電極に電気的に接続される第2配線と前記アンチヒューズ用接続孔を通して前記下層電極にアンチヒューズ用絶縁膜を介して接続されるアンチヒューズ素子の上層電極とを形成する工程と、を備え、前記複数のうち任意のアンチヒューズ素子のアンチヒューズ用絶縁膜を破壊し、前記下層電極と上層電極との間を電気的に接続する導通路を形成することを特徴とする半導体集積回路装置の製造方法。前記請求項1に係る発明においては、MISFETにサリサイド構造が採用される。サリサイド構造が採用されるMISFETにおいてはソース領域、ドレイン領域の各々の最上層に比抵抗が減少できる金属シリサイド膜が形成され、又ゲート電極の最上層に比抵抗が減少できる金属シリサイド膜が形成される。このサリサイド構造が採用されるMISFETのソース領域及びドレイン領域、又はゲート電極を形成する工程が利用され、同一製造工程においてアンチヒューズ素子の下層電極が形成される。つまり、アンチヒューズ素子の下層電極を形成する工程がMISFETを形成する工程で兼用できるので、下層電極を形成する工程に相当する分、半導体集積回路装置の製造工程数が削減できる。さらに、サリサイド構造を採用するMISFETにおいては、ソース領域、ドレイン領域、又はゲート電極の最上層に金属シリサイド膜が形成されるので、ソース領域、ドレイン領域、又はゲート電極と配線との間の接続抵抗が減少される。併せて、アンチヒューズ素子においては、下層電極の最上層に金属シリサイド膜が形成されるので、書き込みが行われ導通路が形成されると下層電極と上層電極との間の接続抵抗が減少できる。

【請求項2】 前記請求項1に記載される半導体集積回路装置の製造方法において、前記ソース領域及びドレイン領域、又はゲート電極と下層電極との最上層にはシリサイド化処理で金属シリサイド膜が形成され、前記シリサイド化処理は650°C以下の温度で形成されることを特徴とする半導体集積回路装置の製造方法。請求項2に係る発明においては、特にアンチヒューズ素子

の下層電極の最上層が650°C以下の低温度でシリサイド化処理が行われた金属シリサイド膜で形成される。低温度で形成される金属シリサイド膜の結晶粒径は微細に形成されるので、結晶粒径に起因する凹凸が緩和され、金属シリサイド膜の表面の平坦化が促進される。従って、下層電極つまり最上層の金属シリサイド膜の表面上に形成されるアンチヒューズ用絶縁膜の膜質が改善される。

【請求項3】 前記請求項2に記載される半導体集積回路装置の製造方法において、

前記シリサイド化処理の後には前記シリサイド化処理よりも高い温度の熱処理が行われないことを特徴とする半導体集積回路装置の製造方法。請求項3に係る発明においては、前記アンチヒューズ素子の下層電極の最上層である金属シリサイド膜の結晶粒径が成長しないので、前記金属シリサイド膜の結晶粒径が微細に形成されたまま維持できる。従って、アンチヒューズ用絶縁膜の膜質が改善される。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はアンチヒューズ素子を有する半導体集積回路装置の製造方法に関する。特に本発明は、フィールドプログラマブルゲートアレイ(以下、FPGAという。)、プログラマブルリードオンリーメモリー(以下、PROMという。)等、アンチヒューズ素子を有する半導体集積回路装置の製造方法に関する。

【0002】

【従来の技術】ゲートアレイの中でユーザーが現場においてプログラムが可能なFPGA、PROM等の半導体集積回路装置には下記文献に記載されるアンチヒューズ素子が配置される。IEEE, Electron Device Letter, Vol. 12, No. 4, April 1991 pp. 151-153、IEEE, Electron Device Letter, Vol. 13, No. 9, September 1992 pp. 488-490。

【0003】プログラムが書き込まれていない又はデータが書き込まれていない被導通状態においては下層電極、アンチヒューズ用絶縁膜、上層電極の各々が順次積層され、前記アンチヒューズ素子が形成される。プログラムが書き込まれた又はデータが書き込まれた導通状態においてはアンチヒューズ用絶縁膜が破壊され、アンチヒューズ素子には下層電極と上層電極との間を電気的に接続する導通路が形成される。通常、アンチヒューズ素子は行列状に複数配置され、複数のうちの任意のアンチヒューズ素子に導通路が形成される。つまり、FPGAにおいては製造工程の完了後にアンチヒューズ素子の導通、非導通が任意に行え、プログラムが自由に行える。一方、PROMにおいては同様に製造工程の完了後にアンチヒューズ素子の導通、非導通が任意に行え、データの書き込みが自由に行える。

【0004】前記アンチヒューズ用絶縁膜の破壊には高

電圧の書込み用電圧が使用される。この書込み用電圧はアンチヒューズ素子の下層電極と上層電極との間に印加される。

【0005】

【発明が解決しようとする課題】前述のアンチヒューズ素子を有する半導体集積回路装置においては、半導体集積回路装置の製造工程にアンチヒューズ素子を形成する工程が組み込まれる。アンチヒューズ素子を形成する工程には、下層電極を形成する工程、アンチヒューズ用接続孔を形成する工程、アンチヒューズ用絶縁膜を形成する工程、上層電極を形成する工程が最小限必要である。このため、半導体集積回路装置の製造工程数が増大する。製造工程数の増大は半導体集積回路装置の製造上の歩留りを著しく低下させる。

【0006】本発明は上記課題を解決するためになされたものであり、本発明の目的はアンチヒューズ素子を有する半導体集積回路装置の製造方法において製造工程数を削減することにある。

【0007】

【課題を解決するための手段及び作用】上記目的を達成するために、請求項1に係る発明は、基板上にサリサイド構造を有するMISFETのソース領域及びドレイン領域、又はゲート電極を形成するとともに同一製造工程で複数のアンチヒューズ素子の下層電極を形成する工程と、前記ソース領域及びドレイン領域、又はゲート電極と下層電極とを覆う層間絶縁膜を形成する工程と、前記ソース領域上、ドレイン領域上、又はゲート電極上の層間絶縁膜に配線用接続孔と前記下層電極上の層間絶縁膜にアンチヒューズ用接続孔を形成する工程と、少なくとも前記アンチヒューズ用接続孔内の下層電極上にアンチヒューズ用絶縁膜を形成する工程と、前記層間絶縁膜上に前記配線用接続孔を通して前記ソース領域、ドレイン領域、又はゲート電極に電気的に接続される第2配線と前記アンチヒューズ用接続孔を通して前記下層電極にアンチヒューズ用絶縁膜を介して接続されるアンチヒューズ素子の上層電極とを形成する工程と、を備え、前記複数のうち任意のアンチヒューズ素子のアンチヒューズ用絶縁膜を破壊し、前記下層電極と上層電極との間を電気的に接続する導通路を形成することを特徴とする。

【0008】前記請求項1に係る発明においては、MISFETにサリサイド構造が採用される。サリサイド構造が採用されるMISFETにおいてはソース領域、ドレイン領域の各々の最上層に比抵抗が減少できる金属シリサイド膜が形成され、又ゲート電極の最上層に比抵抗が減少できる金属シリサイド膜が形成される。このサリサイド構造が採用されるMISFETのソース領域及びドレイン領域、又はゲート電極を形成する工程が利用され、同一製造工程においてアンチヒューズ素子の下層電極が形成される。つまり、アンチヒューズ素子の下層電極を形成する工程がMISFETを形成する工程で兼用

できるので、下層電極を形成する工程に相当する分、半導体集積回路装置の製造工程数が削減できる。

【0009】さらに、サリサイド構造を採用するMISFETにおいては、ソース領域、ドレイン領域、又はゲート電極の最上層に金属シリサイド膜が形成されるので、ソース領域、ドレイン領域、又はゲート電極と配線との間の接続抵抗が減少される。併せて、アンチヒューズ素子においては、下層電極の最上層に金属シリサイド膜が形成されるので、書き込みが行われ導通路が形成されると下層電極と上層電極との間の接続抵抗が減少できる。

【0010】請求項2に係る発明は、前記請求項1に記載される半導体集積回路装置の製造方法において、前記ソース領域及びドレイン領域、又はゲート電極と下層電極との最上層にはシリサイド化処理で金属シリサイド膜が形成され、前記シリサイド化処理は650°C以下の温度で形成されることを特徴とする。

【0011】請求項2に係る発明においては、特にアンチヒューズ素子の下層電極の最上層が650°C以下の低温度でシリサイド化処理が行われた金属シリサイド膜で形成される。低温度で形成される金属シリサイド膜の結晶粒径は微細に形成されるので、結晶粒径に起因する凹凸が緩和され、金属シリサイド膜の表面の平坦化が促進される。従って、下層電極つまり最上層の金属シリサイド膜の表面上に形成されるアンチヒューズ用絶縁膜の膜質が改善される。

【0012】請求項3に係る発明は、前記請求項2に記載される半導体集積回路装置の製造方法において、前記シリサイド化処理の後には前記シリサイド化処理よりも高い温度の熱処理が行われないことを特徴とする。

【0013】請求項3に係る発明においては、前記アンチヒューズ素子の下層電極の最上層である金属シリサイド膜の結晶粒径が成長しないので、前記金属シリサイド膜の結晶粒径が微細に形成されたまま維持できる。従つて、アンチヒューズ用絶縁膜の膜質が改善される。

【0014】

【実施例】以下、本発明の構成について実施例とともに説明する。

【0015】図1乃至図7は本発明の一実施例に係るアンチヒューズ素子を有する半導体集積回路装置の製造方法を説明する各工程毎に示す要部断面図である。本実施例において半導体集積回路装置にはFPGA又はPROMが搭載される。このFPGA又はPROM(周辺回路を含む)には相補型MISFET(Metal Insulator Semiconductor Field Effect Transistor)が採用される。

【0016】まず、第1工程においては、図1に示すように、半導体基板1の正面にFPGA又はPROMを構成するMISFET(図1中、右側)及びアンチヒューズ素子の下層電極7(図1中、左側)が形成される。本

実施例において半導体基板1には単結晶珪素基板が使用され、この単結晶珪素基板はp型に設定される。

【0017】図1には相補型MISFETのうちnチャネルMISFETが示され、チャネル導電型は異なるが基本的構造は同一であるのでpチャネルMISFETの図示は省略する。nチャネルMISFETは素子分離体3及びp型チャネルストッパ領域4で周囲を囲まれた領域内においてp型ウエル領域2の主面に形成される。図示しないが、pチャネルMISFETは素子分離体3で周囲を囲まれた領域内においてn型ウエル領域の主面に形成される。前記p型ウエル領域2及びn型ウエル領域は半導体基板1に形成され、半導体基板1にはツインウエル構造が採用される。前記素子分離体3は半導体基板1の表面を選択酸化法で酸化した厚いフィールド絶縁膜(酸化珪素膜)で形成される。

【0018】nチャネルMISFETはチャネル形成領域となるp型ウエル領域2、ゲート絶縁膜5、ゲート電極6、ソース領域7及びドレイン領域7を備える。pチャネルMISFETは同様にチャネル形成領域となるn型ウエル領域、ゲート絶縁膜5、ゲート電極6、ソース領域及びドレイン領域を備える。いずれのMISFETもこの構造に限定はされないがLDD(Lightly Doped Drain)構造が採用される。符号は付けないがLDD構造が採用されるMISFETにおいてはゲート電極6の側壁にサイドウォールスペーサが形成され、ドレイン領域7のチャネル形成領域側が低い不純物濃度に設定される。LDD構造が採用されるMISFETの製造方法は周知があるので、製造方法の説明は省略する。

【0019】また、本実施例においては半導体基板1はp型ウエル領域2及びn型ウエル領域を有するツインウエル構造で構成されるが、この構造に限定はされない。すなわち、例えば半導体基板1がp型で構成され、p型ウエル領域2が省略されたシングルウエル構造で半導体基板1が構成されてもよい。

【0020】さらに、前述の相補型MISFETにはいずれもシリサイド構造が採用される。すなわち、nチャネルMISFETにおいてゲート電極6は多結晶珪素膜6A及びその上層に積層された金属シリサイド膜6Bで形成され、かつソース領域7、ドレイン領域7がいずれもn型半導体領域(拡散領域)7A及びその上層に積層された金属シリサイド膜7Bで形成される。金属シリサイド膜6B、7Bは以下に説明するようにいずれも同一製造工程において同時に形成される。

【0021】まず、ゲート電極6の多結晶珪素膜6A、ソース領域7又はドレイン領域7のn型半導体領域7Aが各々形成された後に多結晶珪素膜6A上及びn型半導体領域7A上を含む基板全面に金属膜が形成される。多結晶珪素膜6AはCVD法、スパッタ法のいずれかで形成され、膜厚は例えば400nmで形成される。n型半導体領域7Aにおいてはn型不純物がイオン打ち込み法

で導入され、この導入されたn型不純物の活性化が行われる。本実施例において金属膜にはTi膜が使用される。例えばTi膜はスパッタ法で堆積され、膜厚は40nmで形成される。Ti膜の形成後、Ti膜には例えば第1回目のランプ加熱(Rapid Thermal Annealing)によりシリサイド化処理が行われる。ランプ加熱は650℃で約30秒行われる。このシリサイド化処理によりゲート電極6の多結晶珪素膜6AのSiとTi膜のTiとが反応し、多結晶珪素膜6A上には金属シリサイド膜(チタンシリサイド膜)6Bが形成される。同様にソース領域7又はドレイン領域7のn型半導体領域7AのSiとTi膜のTiとが反応し、n型半導体領域7A上には金属シリサイド膜(チタンシリサイド膜)7Bが形成される。この後、未反応のTi膜が金属シリサイド膜6B及び7Bに対して選択的に除去される。未反応のTi膜の除去にはH₂SO₄溶液とH₂O₂溶液とを混合した溶液が使用される。そして、金属シリサイド膜6B及び7Bには第2回目のランプ加熱が行われる。ランプ加熱はシリサイドの低抵抗化を目的として800℃で約30秒行われる。

【0022】なお、金属シリサイド膜6B及び7Bの結晶粒径は650℃以下のシリサイド化処理が行われた時点で例えば20nm以下に微細に形成できるので、第2回目のランプ加熱を行わずに微細な結晶粒径をそのまま維持することができる。つまり、このランプ加熱以外においてもシリサイド化処理の後少なくともアンチヒューズ用絶縁膜(10)を形成する工程までは特に金属シリサイド膜7Bの結晶粒が成長する温度を超えた熱処理が行われない。このように金属シリサイド膜7Bの結晶粒が微細に維持された状態でアンチヒューズ用絶縁膜が形成されると、結晶粒径に起因する凹凸が緩和され、金属シリサイド膜7Bの表面の平坦化が促進されるので、アンチヒューズ用絶縁膜の膜質が改善される。

【0023】本実施例においては前記金属膜にTiが使用されるが、本発明においては金属膜にTi以外の材料、例えばTa、Nb、Zr、Y、Hf、Al、W、Mo、Cr、V、Mn、Fe、Co、Ni、Pd、Pt、又はいずれかの合金、又はいずれかの窒化物などの化合物が使用できる。

【0024】前記アンチヒューズ素子の下層電極7はn型半導体領域7A及び金属シリサイド膜7Bで形成される。この下層電極7のn型半導体領域7AはnチャネルMISFETのソース領域7又はドレイン領域7のn型半導体領域7Aと同一製造工程において形成される。同様に下層電極7の金属シリサイド膜7BはnチャネルMISFETのソース領域7又はドレイン領域7の金属シリサイド膜7Bと同一製造工程において形成される。すなわち、前記アンチヒューズ素子の下層電極7はnチャネルMISFETのソース領域7又はドレイン領域7と結果的に同一製造工程において形成されるので、工程が

7
兼用された分、半導体集積回路装置の製造工程数が削減できる。

【0025】第2工程においては、前記相補型M.I.S.F.E.T上及びアンチヒューズ素子の下層電極7上を含む基板全面に層間絶縁膜8が形成され、図2に示すように前記層間絶縁膜8にアンチヒューズ用接続孔9Fが形成される。アンチヒューズ用接続孔9Fはアンチヒューズ素子の形成領域において下層電極7上に形成される。

【0026】前記層間絶縁膜8は例えば酸化珪素膜で形成され、膜厚は例えば $1.0\text{ }\mu\text{m}$ で形成される。前記アンチヒューズ用接続孔9Fはフォトリソグラフィ技術及びエッティング技術で形成され、開口サイズは例えば1辺が $1.0\text{ }\mu\text{m}$ の正方形で形成される。

【0027】第3工程においては、図示しないが、前記アンチヒューズ用接続孔9F内、特にアンチヒューズ用接続孔9F内において下層電極7の最上層である金属シリサイド膜7Bの表面にウエット処理が行われる。ウエット処理は、少なくとも金属シリサイド膜7Bの表面に成膜時や大気解放中に形成される酸化物又は窒化物の除去、及び金属シリサイド膜7Bの表面から深さ方向に向かって膜厚の一部を除去することを目的として行われる。本実施例においてウエット処理にはアンモニア性過酸化水素水($\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 5$, 70°C)が使用され(APM cleaningが使用され)、例えば5分間の処理が行われる。ウエット処理が行われた場合には膜質が悪い酸化物又は鋭い突起形状が存在する窒化物が除去される。さらに、ウエット処理が行われた場合には金属シリサイド膜7Bの一部が除去され、前記酸化物又は窒化物の除去に起因し金属シリサイド膜7Bの表面に生成される突起が除去される。結果的に金属シリサイド膜7Bの表面において平坦化が促進される。

【0028】なお、同一の効果が得られる場合にはウエット処理に代えてドライ処理が使用できる。具体的にはフッ素系ガスを使用する等方的ケミカルドライエッティング処理(Chemical Dry Etching)が使用できる。前記等方的ケミカルドライエッティング処理には ClF_3 系ガスを使用するノンプラズマ処理方式(ClF_3 cleaning)、 F_2 系ガスを使用するノンプラズマ処理方式(F_2 cleaning)が使用できる。 ClF_3 系ガスを使用するノンプラズマ処理方式においては $\text{Ar} : \text{ClF}_3 = 9 : 1$ 、 100 torr 及び1分の条件下において処理が行われる。 F_2 系ガスを使用するノンプラズマ処理方式においては $\text{F}_2 : \text{He} = 3 : 97$ 、 1000 sccm 、 1 torr 、基板温度 200°C 及び3分の条件下において処理が行われる。

【0029】さらに、前記等方的ケミカルドライ処理には NF_3 系ガスを使用するプラズマ処理方式(NF_3 cleaning)、 BCl_3 系ガスを使用するプラズマ処理方式(BCl_3 cleaning)、 CF_4 系ガスと O_2 ガスとの混

合ガスを使用するプラズマ処理方式(CF_4 cleaning)が使用できる。 BCl_3 系ガスを使用するプラズマ処理方式においては例えば $\text{BCl}_3 : \text{Ar} = 4 : 1$ 、 100 sccm 、 0.1 torr 、高周波出力 13.56 MHz 、基板温度 200°C 及び3分の条件下において処理が行われる。混合ガスを使用するプラズマ処理方式においては例えば $\text{CF}_4 : \text{O}_2 = 8 : 2$ 、 100 sccm 、 0.1 torr 、高周波出力 13.56 MHz 、基板温度 30°C 及び2分の条件下において処理が行われる。

【0030】さらに、上記処理ガスには CF_4 、 C_2F_6 、 CH_2F_2 、 CH_3F 、 SF_6 等のフッ素系ガスが使用できる。

【0031】第4工程においては、図3に示すように、少なくともアンチヒューズ用接続孔9F内の下層電極7上にアンチヒューズ用絶縁膜10が形成される。本実施例においてはアンチヒューズ用絶縁膜10はアンチヒューズ用接続孔9F内の下層電極7の表面上を含む層間絶縁膜8の表面上の全面に形成される。アンチヒューズ用絶縁膜10は本実施例において窒化珪素膜が使用される。窒化珪素膜はシラン、アンモニア及び空素ガスの気相反応を使用するプラズマCVD法で堆積され、膜厚は例えば 10 nm で形成される。アンチヒューズ用接続孔9F内において下層電極7の金属シリサイド膜7Bの表面では鋭い形状の突起が減少され平坦性が促進されているので、アンチヒューズ用絶縁膜10においては欠陥密度が減少され均一で良好な膜質が得られる。

【0032】前記アンチヒューズ用絶縁膜10としては窒化珪素膜の他に酸化珪素膜若しくは酸化タンタル膜の単層膜、又は窒化珪素膜、酸化珪素膜、酸化タンタル膜のいずれかを含み重ね合せた複合膜が使用できる。

【0033】第5工程においては、図4に示すように前記アンチヒューズ用絶縁膜10の表面上において基板全面にアンチヒューズ素子の上層電極11が形成される。本実施例において上層電極11には TiN 膜11A、A1合金(少なくとも Cu 、 Si のいずれかが添加される)膜11B、 TiN 膜11Cを順次積層した複合膜が使用される。 TiN 膜11Aは例えばスパッタ法で形成され、膜厚は $40 - 60\text{ nm}$ で形成される。A1合金膜11Bは例えばスパッタ法で形成され、膜厚は $400 - 600\text{ nm}$ で形成される。 TiN 膜11Cは例えばスパッタ法で形成され、膜厚は $10 - 30\text{ nm}$ で形成される。

【0034】なお、上層電極11は複合膜に限らず単層膜で形成してもよい。さらに、複合膜の下層、上層はいずれも TiN 膜に限定されず、 Ti 、 W 、 Mo 、 Ta 等の高融点金属、又はいずれかの導電性化合物が使用できる。複合膜、単層膜においては、いずれも Ti 、 W 、 Mo 、 Ta 等の高融点金属又は導電性化合物のみで構成された複合膜、単層膜が使用できる。

【0035】第6工程においては、図5に示すように上

層電極 11、アンチヒューズ用絶縁膜 10 が各々順次パターンニングされ、この工程においてアンチヒューズ素子 F が形成される。つまり、アンチヒューズ素子 F は下層電極 7、アンチヒューズ用絶縁膜 10 及び上層電極 11 で形成される。図 5 に示すアンチヒューズ素子 F はプログラム又はデータの書き込みがなされていない非導通状態にあり、下層電極 7 と上層電極 11との間にはアンチヒューズ用絶縁膜 10 が介在する。

【0036】前記上層電極 11、アンチヒューズ用絶縁膜 10 のパターンニングにはいずれもフォトリソグラフィ技術及びエッティング技術が使用される。エッティングにおいては塩素系又はフッ素系のエッティングガスを使用する異方性エッティングが使用される。また、等方性エッティングが使用されてもよい。前記アンチヒューズ素子 F の上層電極 11 のパターンニングにおいてはアンチヒューズ素子 F 以外の領域すなわち相補型 MISFET 形成領域の上層電極 11 は除去される。同様に、アンチヒューズ素子 F のアンチヒューズ用絶縁膜 10 のパターンニングにおいてはアンチヒューズ素子 F 以外の領域のアンチヒューズ用絶縁膜 10 は除去される。

【0037】第 7 工程においては、前記上層電極 11 上を含む基板全面に層間絶縁膜 12 が形成される。層間絶縁膜 12 は単層膜又は複合膜で形成される。

【0038】第 8 工程においては、前記層間絶縁膜 12 及び 8 に配線用接続孔 13C が形成される。配線用接続孔 13C は MISFET のソース領域 7 上、ドレイン領域 7 上等において形成される。

【0039】第 9 工程においては、図 6 に示すように層間絶縁膜 12 上に配線 14 が形成される。相補型 MISFET 形成領域において配線 14 は配線用接続孔 13C を通してソース領域 7、ドレイン領域 7 のいずれかに電気的に接続される。本実施例において配線 14 は TiN 膜 14A、Al 合金 (Al-Cu) 膜 14B、TiN 膜 14C を順次積層した複合膜で形成される。TiN 膜 14A はパリアメタル膜として使用される。Al 合金膜 14B は配線の主体として使用される。TiN 膜 14C は反射防止膜として使用される。

【0040】第 10 工程においては、図示しないが基板全面にファイナルパッセーション膜が形成される。これら一連の工程が終了すると、アンチヒューズ素子 F を有する半導体集積回路装置が完成する。

【0041】第 11 工程においては、図 7 に示すように半導体集積回路装置において任意のアンチヒューズ素子 F にプログラム又はデータの書き込みが行われる。つまり、アンチヒューズ素子 F の下層電極 7 と上層電極 11 との間に印加される高電圧の書き込み電圧でアンチヒューズ用絶縁膜 10 が破壊される。このアンチヒューズ用絶縁膜 10 の破壊で下層電極 7 と上層電極 11 との間に双方を電気的に接続する導通路 (フィラメント) 15 が形成される。

【0042】以上説明したように、本実施例に係るアンチヒューズ素子 F を有する半導体集積回路装置の製造方法においては、第 1 に、MISFET にサリサイド構造が採用される。サリサイド構造が採用される MISFET においてはソース領域 7、ドレイン領域 7 の各々の最上層に比抵抗が減少できる金属シリサイド膜 7B が形成される。このサリサイド構造が採用される MISFET のソース領域 7 及びドレイン領域 7 を形成する工程が利用され、同一製造工程においてアンチヒューズ素子 F の下層電極 7 が形成される。つまり、アンチヒューズ素子 F の下層電極 7 を形成する工程が MISFET を形成する工程で兼用できるので、下層電極 7 を形成する工程に相当する分、半導体集積回路装置の製造工程数が削減できる。

【0043】さらに、サリサイド構造を採用する MISFET においては、ソース領域 7、ドレイン領域 7 の最上層に金属シリサイド膜 7B が形成されるので、ソース領域 7、ドレイン領域 7 と配線 14 との間の接続抵抗が減少される。併せて、アンチヒューズ素子 F においては、下層電極 7 の最上層に金属シリサイド膜 7B が形成されるので、書き込みが行われ導通路 15 が形成されると下層電極 7 と上層電極 11 との間の接続抵抗が減少できる。

【0044】第 2 に、特にアンチヒューズ素子 F の下層電極 7 の最上層が 650°C 以下の低温度でシリサイド化処理が行われた金属シリサイド膜 7B で形成される。低温度で形成される金属シリサイド膜 7B の結晶粒径は微細に形成されるので、結晶粒径に起因する凹凸が緩和され、金属シリサイド膜 7B の表面の平坦化が促進される。従って、下層電極 7 つまり最上層の金属シリサイド膜 7B の表面上に形成されるアンチヒューズ用絶縁膜 10 の膜質が改善される。

【0045】なお、本発明は前記実施例に限定されるものではなくその要旨を逸脱しない範囲において種々変更できる。

【0046】例えば、本発明は、前記実施例において MISFET のゲート電極 6 とアンチヒューズ素子 F の下層電極とを同一製造工程で形成できる。この場合、同様に製造工程数が削減できるなどの効果が得られる。

【0047】さらに、本発明は、アンチヒューズ素子を有するプリント配線基板等、配線形成技術に応用できる。

【0048】

【発明の効果】本発明によれば、アンチヒューズ素子を有する半導体集積回路装置において、製造工程数が削減できる。

【図面の簡単な説明】

【図 1】本発明の一実施例に係るアンチヒューズ素子を有する半導体集積回路装置の製造方法を説明する第 1 工程における断面図である。

11

【図2】第2工程における断面図である。

【図3】第3工程における断面図である。

【図4】第4工程における断面図である。

【図5】第5工程における断面図である。

【図6】第6工程における断面図である。

【図7】第7工程における断面図である。

【符号の説明】

1 半導体基板

12

7 ソース領域、ドレイン領域又は下層電極

8、12 層間絶縁膜

9F アンチヒューズ用接続孔

10 アンチヒューズ用絶縁膜

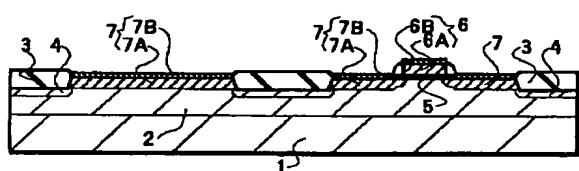
11 上層電極

13C 配線用接続孔

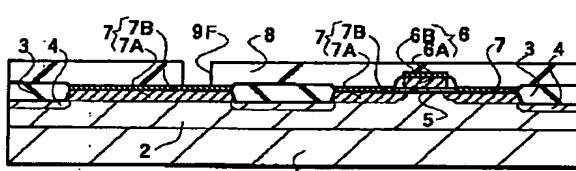
14 配線

15 導通路

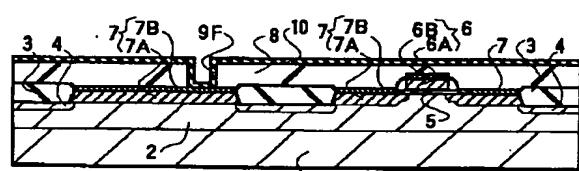
【図1】



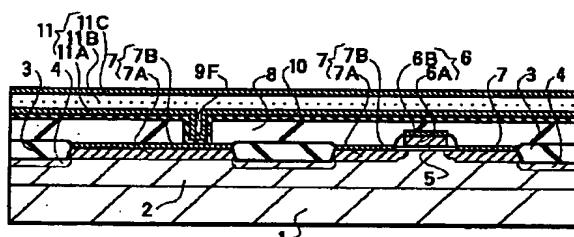
【図2】



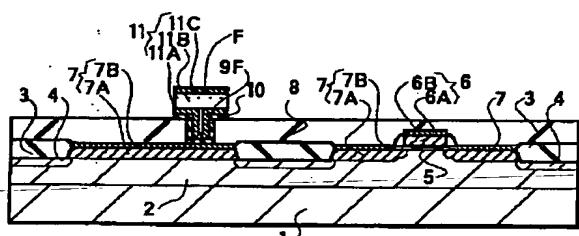
【図3】



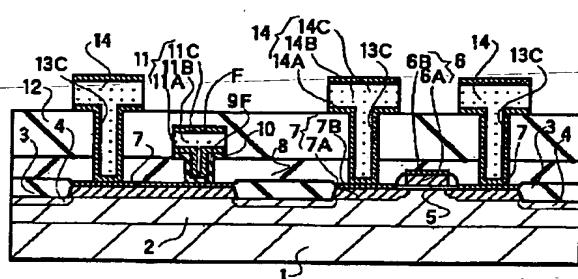
【図4】



【図5】



【図6】



【図7】

